

## 情報工学実験 II

### 第 5 回：コンパイルレポートの見方

2019 年 1 月 17 日

柴田 裕一郎 (shibata@cis.nagasaki-u.ac.jp)

## 1 レポートファイルの読み方

論理合成と配置配線を実行すると、たくさんのレポートファイルが生成されますが、本実験では合成されたハードウェアの規模を表すロジックエレメント数と、回路がどのくらい速く動作できるのかを示す最大動作周波数に注目します。

### 1.1 ロジックエレメント数

本実験で使用する Altera<sup>\*1</sup>の FPGA では、合成された回路を実現するのに使われたロジックエレメント (LE) の数がだいたいその回路の規模に対応します。ロジックエレメントというのは、FPGA に回路を作る際の論理基本要素のことで、中には真理値表を実現するための小さなメモリや、順序回路を構成するためのフリップフロップなどが入っています。複雑な回路ほど多くのロジックエレメントを使用します。論理合成した回路が何個のロジックエレメントを使ったかは、例えば piano モジュールの場合には `piano_top.fit.summary` というレポートファイルに出力されます。以下の例では 795 個のロジックエレメントを使っていることが分かります。

```
Fitter Status : Successful - Mon Dec 4 11:53:17 2017
Quartus II 64-Bit Version : 13.0.1 Build 232 06/12/2013 SP 1 SJ Full Version
Revision Name : piano_top
Top-level Entity Name : piano_top
Family : Cyclone
Device : EP1C20F400C8
Timing Models : Final
Total logic elements : 795 / 20,060 ( 4 % )
Total pins : 52 / 301 ( 17 % )
Total virtual pins : 0
Total memory bits : 0 / 294,912 ( 0 % )
Total PLLs : 1 / 2 ( 50 % )
```

また、今回仕様した FPGA チップ<sup>\*2</sup>全体では 20,060 個のロジックエレメントが搭載されていて、使用率はたったの 4% ということも分かります。

### 1.2 最大動作周波数

回路の最大動作周波数は、クロック信号の周波数をどこまで高くできるかを示したもので、最大動作周波数が高ければ高いほど回路が高速に動作することを意味します。プロセッサの回路にはたくさんのフリップフロップ (レジスタ) が使われていますが、あるフリップフロップの出力から出発して次のフリップフロップ入

<sup>\*1</sup> 現在、Altera は Intel のブランドです。

<sup>\*2</sup> Altera Cyclone EP1C20F400C8

力に至るまでの経路の遅延時間やセットアップ時間をすべて求め、それがもっとも長い経路（クリティカルパス）の遅延が回路の最大遅延になります。クロック信号の周期は回路の最大遅延より短くできないので、この逆数が最大動作周波数となります。

遅延に関するレポートは piano モジュールの場合には `piano_top.sta.rpt` というファイルに生成されます。最大動作周波数は「Fmax Summary」のセクションに書かれています。

```
+-----+
; Fmax Summary                                     ;
+-----+-----+-----+-----+
; Fmax      ; Restricted Fmax ; Clock Name ; Note ;
+-----+-----+-----+-----+
; 77.25 MHz ; 77.25 MHz      ; clk_div   ;     ;
; 122.12 MHz ; 122.12 MHz     ; clk_sys   ;     ;
+-----+-----+-----+-----+
```

2つの数値が出ていますが、今回 piano モジュールに入力されているのは `clk_div` の方（`clk_sys` は AD コンバータのインタフェース回路等用のクロックです）。この例では、最大動作周波数が 77.25 MHz であることが分かります。piano モジュールのクロックの仕様は 1.5 MHz でしたので、動作速度の面では十分に余裕のある回路が合成されたことが分かります。また、どこがクリティカルパスになったかは、同じレポートファイルの「Setup: 'clk\_div」の表を見ると分かります。