

情報工学実験 III

第 4 回 : RISC16 の実機動作確認

柴田裕一郎・松尾堅太郎・元島晃伸

shibata@cis.nagasaki-u.ac.jp
情報工学コース

2018 年 12 月 18 日

ボードへの実装手順 (risc16 の場合)

- ① 論理合成・配置配線 (risc16_top.sv, risc16_top.tcl, risc16_top.sdc が必要)

```
% make
```

- ② コンフィギュレーション

```
% make config
```

- 7セグメント LED が「000000」と点灯
- スイッチ「SW1」を押すまでプロセッサはまだ動かない

オンボードメモリへのデータ転送

- ボード上のメモリ（オンボードメモリ）
 - RISC プロセッサから見ると主記憶
 - まだ何も書かれていないし、初期化もされていない
- メモリ初期化ファイルに書かれたプログラム（とデータ）を USB 経由で転送

```
% usbmon sim_risc16.mem
```

書き込まれた内容がアドレスとデータの組で表示される

```
0000: 041e  
0002: 101a  
0004: 801e  
0006: 041c  
.....
```

プロセッサの実行開始

- SW1 スイッチを押すと実行開始（クロックは 24MHz）
- 7 セグメント LED に結果が表示

レポートファイル

- ロジックエレメント使用数 (LE 数)
 - Altera (現 Intel) の FPGA の基本論理要素
 - 複雑な回路ほど多くのロジックエレメントが組み合わされて構成される
 - 回路規模に対応する
 - risc16_top.fit.summary ファイルを見る
- 最大動作周波数
 - クロックの周波数をどこまで高くできるか
 - フリップフロップ間の最大遅延時間の逆数
 - 回路の性能を決める大きな要素
 - risc16_top.sta.rpt ファイルを見る

```
Fitter Status : Successful - Tue Dec 18 09:44:04 2018
Quartus II 64-Bit Version : 13.0.1 Build 232 06/12/20
Revision Name : risc16_top
Top-level Entity Name : risc16_top
Family : Cyclone
Device : EP1C20F400C8
Timing Models : Final
Total logic elements : 734 / 20,060 ( 4 % )
Total pins : 87 / 301 ( 29 % )
Total virtual pins : 0
Total memory bits : 0 / 294,912 ( 0 % )
Total PLLs : 1 / 2 ( 50 % )
```

この例では 734 個のロジックエレメントを使っている

```
+-----+-----+-----+-----+
; Fmax Summary
+-----+-----+-----+-----+
; Fmax      ; Restricted Fmax ; Clock Name    ; Note
+-----+-----+-----+-----+
; 29.56 MHz ; 24.0 MHz          ; vclk         ; limit d
; 54.32 MHz ; 54.32 MHz        ; processor_clk ;
; 122.19 MHz ; 122.19 MHz       ; usb_clk      ;
+-----+-----+-----+-----+
```

- processor_clk を見る
- この例では最大動作周波数が 54.32MHz